

Docket No.: 67161-127

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Yoshiharu ONO	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: November 6, 2003	:	Examiner:
	:	
For: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

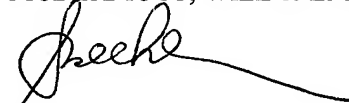
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claim the priority of:

**Japanese Patent Application No. 2003-162478 (P), filed on June 6, 2003.**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:gav  
Facsimile: (202) 756-8087  
**Date: November 6, 2003**

November 7, 2003

Yoshiharu ONO

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2003年 6月 6日

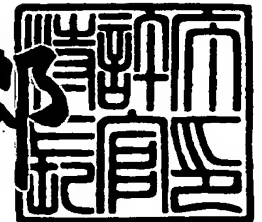
出 願 番 号  
Application Number: 特願2003-162478  
[ST. 10/C]: [JP2003-162478]

出 願 人  
Applicant(s): 株式会社ルネサステクノロジ

2003年 7月 8日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3054123

【書類名】 特許願

【整理番号】 544134JP01

【提出日】 平成15年 6月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G03F 7/38

G03F 7/39

H01L 21/312

H01L 21/768

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ  
ステクノロジ内

【氏名】 小野 良治

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

## 【選任した代理人】

【識別番号】 100096781

## 【弁理士】

【氏名又は名称】 堀井 豊

## 【選任した代理人】

【識別番号】 100098316

## 【弁理士】

【氏名又は名称】 野田 久登

## 【選任した代理人】

【識別番号】 100109162

## 【弁理士】

【氏名又は名称】 酒井 將行

## 【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の主表面上に第 1 導電領域を形成する工程と、  
前記第 1 導電領域を覆うように前記半導体基板上に絶縁膜を形成する工程と、  
前記絶縁膜に第 1 凹部を形成する工程と、  
前記第 1 凹部を埋め込み部材で充填する工程と、  
前記絶縁膜上にフォトレジストを塗布する工程と、  
前記フォトレジストに露光および現像処理を施すことにより、前記埋め込み部材が露出する部分を含むようにレジストパターンを形成する工程と、  
前記レジストパターンをマスクとして前記絶縁膜にエッチングを施すことにより第 2 凹部を形成して、前記第 1 凹部と前記第 2 凹部とにより前記第 1 導電領域の表面を露出する凹部パターンを形成する工程と、  
前記埋め込み部材および前記レジストパターンを除去する工程と、  
前記凹部パターンを埋め込み、前記第 1 導電領域と電氣的に接続される第 2 導電領域を形成する工程と  
を有し、

前記絶縁膜に第 1 凹部を形成する工程の後、前記第 1 凹部を埋め込み部材で充填する工程の前に、酸性成分を含有するレジスト溶媒にて前記第 1 凹部にウェット処理を施す工程を備えた、半導体装置の製造方法。

【請求項 2】 前記第 1 凹部を形成する工程では、前記第 1 凹部としてホールが形成され、

前記第 2 凹部を形成する工程では、前記第 2 凹部として配線溝が形成される、請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記絶縁膜を形成する工程の前に、前記半導体基板の主表面上に前記絶縁膜とはエッチング特性の異なる他の絶縁膜を形成する工程を備え、  
前記第 1 凹部を形成する工程は、前記第 1 凹部の底に前記他の絶縁膜の表面を露出する工程を含み、

前記所定の凹部を形成する工程では、露出した前記他の絶縁膜を除去する工程

を含む、請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記第 1 凹部を形成する工程では、前記第 1 凹部として配線溝が形成され、

前記第 2 凹部を形成する工程では、前記第 2 凹部としてホールが形成される、請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記絶縁膜を形成する工程は、  
所定のエッチング特性を有する第 1 の層を形成する工程と、  
前記第 1 の層の上に前記第 1 の層とはエッチング特性の異なる第 2 の層を形成する工程と  
を含み、

前記配線溝は前記第 2 の層に形成される、請求項 2 ～ 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】 前記絶縁膜としてアモルファスシリコン系の絶縁膜が用いられ、前記フォトレジストとして化学増幅型のフォトレジストが用いられる、請求項 1 ～ 5 のいずれかに記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

#### 【0 0 0 1】

##### 【発明の属する技術分野】

本発明は半導体装置の製造方法に関し、特に、デュアルダマシンによって配線を形成する工程を備えた半導体装置の製造方法に関するものである。

#### 【0 0 0 2】

##### 【従来の技術】

近年の半導体装置の高集積化および高速化に伴って、配線の抵抗を下げる事が重要視されている。配線の抵抗を下げるために、多種多様な配線材料が検討されている。

#### 【0 0 0 3】

配線材料によっては、一般的なドライエッチングによる加工（パターニング）が困難となる場合がある。そのような困難を克服するために、たとえば特開 2 0 0 1 - 3 5 8 2 1 6 号公報には、いわゆるダマシンプロセスが提案されている。

## 【0004】

ダマシンプロセスでは、絶縁膜に配線のための溝（配線溝）と、下地導電性膜とその配線とを電氣的に接続するためのホールとがあらかじめ形成され、その後、その配線溝とホールに導電性材料が充填される。

## 【0005】

そのダマシンプロセスについてさらに詳細に説明する。まず、下地導電性膜を覆うように形成された絶縁膜上に、フォトリソグラフィ技術によりホールパターンを有するレジストパターンが形成される。そのレジストパターンをマスクとして絶縁膜にエッチングを施すことにより、絶縁膜にホールが形成される。

## 【0006】

次に、反射防止のための機能を有する有機系高分子材料を絶縁膜上に塗布することにより、ホールに有機系高分子材料が充填される。これにより、後の配線溝を形成するためのエッチングの際に、下地導電性膜にまでダメージが及ぶのが阻止される。

## 【0007】

次に、ホールが形成された絶縁膜上に配線溝を有するレジストパターンが形成される。そのレジストパターンをマスクとして絶縁膜にエッチングを施すことにより、絶縁膜に所定の深さの配線溝が形成される。その後、レジストパターンと有機系高分子材料が除去される。

## 【0008】

次に、配線溝とホールに導電性材料を充填することにより、ホールにはプラグが形成され、配線溝には配線が形成される。配線はプラグを介して下地導電性膜と電氣的に接続されることになる。従来の半導体装置の製造方法では、このようにして配線が形成される。

## 【0009】

## 【特許文献1】

特開2001-358216号公報

## 【0010】

【発明が解決しようとする課題】

しかしながら、上述した従来の半導体装置の製造方法では、次のような問題点があった。

【0011】

絶縁膜にホールが形成された後に、ホールの側面に露出している絶縁膜の膜種によっては、絶縁膜の表面から塩基性ガスが放出されることがある。そのため、配線溝を形成するためのレジストパターンとして化学増幅型のレジストを適用した場合には、露光の際にレジスト中に発生する酸の成分がその塩基性ガスによって中和されてしまうことがあった。

【0012】

化学増幅型のレジストでは、露光された部分において酸が発生し、その酸を触媒としてポジ型レジストの場合には可溶化のための反応が行なわれ、ネガ型レジストの場合には不溶化のための反応が行なわれることになる。

【0013】

そのため、発生した酸の成分が塩基性ガスによって中和されてしまうことで、可溶化または不溶化のための反応が十分に行なわれなくなることがあった。その結果、レジスト残渣が生じるなどしてレジストパターンの解像不良が発生するという問題があった。

【0014】

また、絶縁膜に有機系高分子材料を塗布することによって、ホールに有機系高分子材料を充填する際に、有機系高分子材料の塗布ムラが生じることがあった。その結果、ホールに有機系高分子材料を確実に充填することができず、配線溝を形成する際のエッチングのダメージが下層導電性膜にまで及んでしまうという問題があった。

【0015】

本発明は、上記問題点を解決するためになされたものであり、その目的はレジストの解像不良が抑制されるとともに、有機系高分子材料の塗布ムラが防止される半導体装置の製造方法を提供することである。

【0016】

【課題を解決するための手段】



本発明に係る半導体装置の製造方法は以下の工程を備えている。半導体基板の主表面上に第1導電領域を形成する。第1導電領域を覆うように半導体基板上に絶縁膜を形成する。絶縁膜に第1凹部を形成する。第1凹部を埋め込み部材で充填する。絶縁膜上にフォトリジストを塗布する。フォトリジストに露光および現像処理を施すことにより、埋め込み部材が露出する部分を含むようにレジストパターンを形成する。レジストパターンをマスクとして絶縁膜にエッチングを施すことにより第2凹部を形成して、第1凹部と第2凹部とにより第1導電領域の表面を露出する凹部パターンを形成する。埋め込み部材およびレジストパターンを除去する。凹部パターンを埋め込み、第1導電領域と電氣的に接続される第2導電領域を形成する。絶縁膜に第1凹部を形成する工程の後、第1凹部を埋め込み部材で充填する工程の前に、酸性成分を含有するレジスト溶媒にて第1凹部にウェット処理を施す工程を備えている。

#### 【0017】

この製造方法によれば、第1凹部に露出した表面および絶縁膜の表面に、酸性成分を含有するレジスト溶媒にてウェット処理が施されることで、第1凹部に露出した表面および絶縁膜の表面の濡れ性が改善される。これにより、埋め込み部材が絶縁膜上に塗布された際に、埋め込み部材の塗布ムラが抑制されて、第1凹部に埋め込み部材を確実に充填することができる。また、酸性成分を含有する有機溶媒にてウェット処理が施されることで、第1凹部に露出した表面および絶縁膜の表面には酸性成分が付着して、絶縁膜に第2凹部を形成するためのレジストパターンを形成する際に、第1凹部に露出した表面から発生する塩基性ガスが付着した酸性成分によって中和されることになる。その結果、そのような塩基性ガスとフォトリジスト中に発生する酸とが反応することがなくなって、レジストパターンの解像不良が防止される。

#### 【0018】

##### 【発明の実施の形態】

本発明の実施の形態に係るデュアルダマシンによる半導体装置の製造方法として、はじめに絶縁膜にホールを形成し、その後で配線溝を形成する場合を例に挙げて説明する。

## 【0019】

まず、図1に示すように、半導体基板1上に下層導電性膜3が形成される。その下層導電性膜3上に、たとえばSiNまたはSiCN等の所定の保護膜5が形成される。後述するように、保護膜5はホールを形成する際のエッチングの際に下層導電性膜3にダメージが及ぶのを阻止する。

## 【0020】

その保護膜5上に、たとえばSiO、SiOFまたはSiOC等の絶縁膜7が形成される。その絶縁膜7上に、たとえばSiN等の所定のエッチングストップ膜9が形成される。後述するように、エッチングストップ膜9は、配線溝を形成する際のエッチングのストップとなる。

## 【0021】

そのエッチングストップ膜9上に、たとえばSiO、SiOFまたはSiOC等の絶縁膜11がさらに形成される。その絶縁膜11上にホールを形成するためのレジストパターン4aが形成される。

## 【0022】

そのレジストパターン4aをマスクとして、たとえばCF<sub>4</sub>またはCHF<sub>3</sub>等のガスを用いて絶縁膜11、エッチングストップ膜9および絶縁膜7に順次異方性エッチングを施すことにより、図2に示すように、保護膜5の表面を露出するホール6a～6cが形成される。

## 【0023】

次に、そのホール6a～6c内に露出した表面および絶縁膜11の表面に、酸性成分を含有するシンナーにて所定のウェット処理が施される。これについては、後で詳しく説明する。

## 【0024】

次に、たとえばノボラック系の樹脂等の有機系高分子材料を絶縁膜11上に塗布することにより、図3に示すように、絶縁膜11上にホール6a～6c内を充填する有機系高分子材料膜13（膜厚50nm～1500nm）が形成される。

## 【0025】

次に、図4に示すように、その有機系高分子材料膜13上に有機系反射防止膜

15 (膜厚 50 nm ~ 1500 nm) が形成される。有機系反射防止膜 15 は、後の工程においてレジストパターンを形成する際に使用される露光光を吸収して、露光光が反射するのを阻止する機能を有している。

#### 【0026】

次に、図 5 に示すように、スピコートにより有機系反射防止膜 15 上にフォトレジスト 17 (膜厚 500 nm ~ 1500 nm) が塗布される。その後、たとえば温度 80 ~ 150 °C のもとで時間約 60 秒程度の熱処理 (ベーキング) を施すことにより、フォトレジスト 17 中の溶媒を蒸発させる。

#### 【0027】

次に、たとえば i 線等の紫外光源、KrF エキシマレーザまたは ArF エキシマレーザの遠紫外光源を用いてフォトレジストに露光処理が施される。露光処理後、たとえば温度 80 ~ 120 °C のもとで時間約 60 秒程度の加熱処理 (露光後加熱処理) を行なって、フォトレジストの解像度を向上させる。

#### 【0028】

次に、たとえば TMAH (テトラメチルアンモニウムハイドロオキシド) 等の 2.0 ~ 2.5 % 程度のアルカリ水溶液により現像処理が施される。その後、必要に応じて、たとえば温度 100 ~ 130 °C のもとで時間約 60 秒程度の熱処理を施すことにより、レジストパターンが焼き固められる。このようにして、図 6 および図 7 に示すように、配線溝を形成するためのレジストパターン 17a が形成される。

#### 【0029】

次に、図 8 に示すように、そのレジストパターン 17a をマスクとして、有機系反射防止膜 15、有機系高分子材料膜 13 および絶縁膜 11 に異方性エッチングを施すことにより、エッチングストップ膜 9 の表面が露出する。

#### 【0030】

ホール 6a ~ 6c が形成されている部分では、有機系高分子材料膜 13 が一部残された状態となる。なお、このエッチングでは、上述した方法の他に、最初に有機系反射防止膜 15 と有機系高分子材料膜 13 を除去した後に、絶縁膜 11 を除去するようにしてもよい。

**【0031】**

次に、図9に示すように、レジストパターン17aとホール6a～6cに残された有機系高分子材料膜13が除去されて保護膜5が露出する。その後、露出した保護膜5が除去されて、下層導電性膜3の表面が露出する。このようにして絶縁膜7、11等に、配線溝8a～8cと、ホール6a～6cがそれぞれ形成されることになる。

**【0032】**

その後、たとえばスパッタ法により配線溝8a～8cと、ホール6a～6cを埋めるように絶縁膜11上に銅膜（図示せず）が形成される。その銅膜に化学的機械研磨処理（CMP）を施すことにより、絶縁膜11の上面上に位置する銅膜が除去される。これにより、ホール6a～6cにはプラグ18a～18cが形成され、配線溝8a～8cには配線19a～19cがそれぞれ形成される。（図10参照）

このようにして、図10に示すように、プラグ18a～18cと配線19a～19cをそれぞれ含む上層導電性膜20a～20cが形成される。

**【0033】**

上述した半導体装置の製造方法では、特に、ホールを形成した後に所定のウェット処理が施される。つまり、図11に示すように、ホール6a～6cを形成した後に、ホール6a～6c内に露出した表面および絶縁膜11の表面に、酸性成分を含有するシンナー21にてウェット処理が施される。

**【0034】**

これにより、ホール6a～6c内に露出した表面および絶縁膜11の表面の濡れ性が改善されて、有機系高分子材料が絶縁膜11上に塗布された際に、有機系高分子材料の塗布ムラが抑制される。その結果、図12に示すように、ホール6a～6c内に有機系高分子材料が確実に充填されて有機系高分子材料膜13を形成することができる。

**【0035】**

さらに、ウェット処理を施すことによって、化学増幅型のフォトリソグレイスト17中に発生する酸の効力が塩基性ガスの発生によって失われることによるレジスト

パターンの解像不良が防止される。このことについて説明する。

#### 【0036】

まず、既に説明したように、配線溝を形成するためのレジストパターンとしては化学増幅型のフォトリソグ 17 が用いられる。化学増幅型のフォトリソグ 17 では、露光された部分において酸が発生する。

#### 【0037】

このとき、ポジ型のフォトリソグの場合には、発生した酸を触媒としてフォトリソグが現像液に溶解されるように所定の反応（可溶化反応）が起こり、ネガ型のフォトリソグの場合には、発生した酸を触媒としてフォトリソグが現像液に溶解しないように所定の反応（不溶化反応）が起こる。

#### 【0038】

酸性成分を含有するシンナー 21 にてウェット処理が施されることで、ホール 6a～6c 内に露出した表面および絶縁膜 11 の表面には酸性成分が付着する。そして、図 13 に示すように、マスク 22 を用いて露光光 23 を照射することによって絶縁膜 11 に配線溝を形成するためのレジストパターンを形成する際に、ホール 6a～6c の表面から発生する塩基性ガスが、付着した酸性成分によって中和されることになる。

#### 【0039】

これにより、そのような塩基性ガスと化学増幅型のフォトリソグ 17 中に発生する酸とが反応することがなくなって、フォトリソグにおける所定の可溶化反応または不溶化反応が確実に行なわれる。その結果、レジストパターンの解像不良が防止されて、図 14 に示すように、所望のレジストパターン 17a を良好に形成することができる。

#### 【0040】

一方、従来の半導体装置の製造方法では、図 15 に示すように、絶縁膜 11 に配線溝を形成するためのレジストパターンを形成する際に、ホール 6a～6c の表面から発生する塩基性ガスの成分 24 と、露光処理においてフォトリソグ中に発生する酸とが反応してしまい、フォトリソグ中の酸の効力が失われることになる。

## 【0041】

そのため、フォトレジストにおける所定の可溶化反応または不溶化反応が十分に行なわれなくなってしまう。その結果、レジスト残渣 17b が発生するなどしてレジストパターン 17a の解像不良が発生してしまい、所望の配線溝を形成することができなくなる。

## 【0042】

なお、塩基性ガスは、まず、絶縁膜 7, 11 等を形成する際に使用される  $\text{NH}_3$ 、 $\text{N}_2$  等のガスが絶縁膜中に残留し、残留したガスの成分うちホール 6a ~ 6c の側面に露出した絶縁膜 7, 11 等の表面部分に位置する成分が、レジストパターンを形成する際の熱処理によって放出されることによって発生するものと考えられる。

## 【0043】

特に、絶縁膜 7, 11 として、たとえば  $\text{SiOC}$  系の誘電率の比較的低いアモルファス系の絶縁膜を使用した場合には、膜そのものの密度が比較的小さく、ガスの透過性が、通常のシリコン酸化膜 ( $\text{SiO}_2$ ) と比べて高くなる。そのため、レジストパターンの解像不良がより顕著になる傾向にある。

## 【0044】

したがって、上述した半導体装置の製造方法では、特に、フォトレジストとして化学増幅型のフォトレジストを適用し、絶縁膜としてアモルファスシリコン系の絶縁膜を適用した場合に顕著な効果を発揮して、レジストパターンの解像不良を確実に防止することができる。

## 【0045】

なお、ウェット処理に用いられる酸の成分を含有するシンナーとしては、レジストの溶媒として用いられるシンナーを適用することが望ましい。

## 【0046】

また、上述したウェット処理を、有機系高分子材料膜 13 を形成した後有機系反射防止膜 15 を形成する前に施してもよい。この場合には、有機系反射防止膜 15 をムラなく形成することができる。

## 【0047】

さらに、ウェット処理を、有機系反射防止膜 15 を形成した後配線溝を形成するためのフォトリソグ 17 を塗布する前に施してもよい。この場合には、フォトリソグ 17 をムラなく塗布することができる。

#### 【0048】

また、上述した半導体装置の製造方法では、ホール 6a～6c が形成された後に配線溝 8a～8c が形成される場合を例に挙げて説明した。この反対に、配線溝を形成した後にホールを形成する場合にも適用することができる。

#### 【0049】

この場合には、絶縁膜 11 上に、配線溝を形成するためのレジストパターン（図示せず）が形成され、そのレジストパターンをマスクとして絶縁膜 11 に異方性エッチングを施すことにより、図 16 に示すように、配線溝 10a、10b が形成される。

#### 【0050】

次に、前述したように、酸性成分を含有するシンナーによってウェット処理が施される。その後、配線溝 10a、10b を充填するように、有機系高分子材料膜 13 と有機系反射防止膜 15 が形成される。

#### 【0051】

次に、絶縁膜 11 等にホールを形成するためのレジストパターン 12a が有機系反射防止膜 15 上に形成される。そのレジストパターン 12a をマスクとして有機系高分子材料膜 13、有機系反射防止膜 15 および絶縁膜 7 等に異方性エッチングを施すことにより、ホール（図示せず）が形成される。

#### 【0052】

その後、前述した方法と同様の方法によって、銅膜が形成されて化学的機械研磨処理（CMP）を施すことにより、図 10 に示すように、プラグ 18a～18c と配線 19a～19c をそれぞれ含む上層導電性膜 20a～20c が形成される。

#### 【0053】

上述した半導体装置の製造方法においても、配線溝 10a、10b 内に露出した表面および絶縁膜 11 の表面に、酸性成分を含有するシンナーにてウェット処

理が施されて濡れ性が改善される。

#### 【0054】

これにより、有機系高分子材料の塗布ムラが抑制されて、図16に示すように、配線溝10a、10b内に有機系高分子材料が確実に充填されて有機系高分子材料膜13を形成することができる。

#### 【0055】

さらに、酸性成分を含有するシンナーにてウェット処理が施されることで、配線溝10a、10b内に露出した表面および絶縁膜11の表面には酸性成分が付着して、絶縁膜11にホールを形成するためのレジストパターン12aを形成する際に、配線溝10a、10bの表面から発生する塩基性ガスがこの酸性成分によって中和されることになる。

#### 【0056】

これにより、そのような塩基性ガスと化学増幅型のフォトリソ中に発生する酸とが反応することがなくなって、レジストパターンの解像不良が防止される。その結果、図17に示すように、所望のレジストパターン12aを確実に形成することができる。

#### 【0057】

今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明は上記の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【0058】

##### 【発明の効果】

本発明に係る半導体装置の製造方法によれば、第1凹部内に露出した表面および絶縁膜の表面に、酸性成分を含有するレジスト溶媒にてウェット処理が施されることで、第1凹部内に露出した表面および絶縁膜の表面の濡れ性が改善される。これにより、埋め込み部材が絶縁膜上に塗布された際に、埋め込み部材の塗布ムラが抑制されて、第1凹部内に埋め込み部材を確実に充填することができる。また、酸性成分を含有する有機溶媒にてウェット処理が施されることで、第1凹



部内に露出した表面および絶縁膜の表面には酸性成分が付着して、絶縁膜に第2凹部を形成するためのレジストパターンを形成する際に、第1凹部内に露出した表面から発生する塩基性ガスが付着した酸性成分によって中和されることになる。その結果、そのような塩基性ガスとフォトリソ中に発生する酸とが反応することがなくなって、レジストパターンの解像不良が防止される。

【図面の簡単な説明】

【図1】 本発明の実施の形態に係る半導体装置の製造方法の一工程を示す断面斜視図である。

【図2】 同実施の形態において、図1に示す工程の後に行なわれる工程を示す断面図である。

【図3】 同実施の形態において、図2に示す工程の後に行なわれる工程を示す断面図である。

【図4】 同実施の形態において、図3に示す工程の後に行なわれる工程を示す断面図である。

【図5】 同実施の形態において、図4に示す工程の後に行なわれる工程を示す断面図である。

【図6】 同実施の形態において、図5に示す工程の後に行なわれる工程を示す断面図である。

【図7】 同実施の形態において、図6に示す工程の後に行なわれる工程を示す断面斜視図である。

【図8】 同実施の形態において、図7に示す工程の後に行なわれる工程を示す断面図である。

【図9】 同実施の形態において、図8に示す工程の後に行なわれる工程を示す断面図である。

【図10】 同実施の形態において、図9に示す工程の後に行なわれる工程を示す断面斜視図である。

【図11】 同実施の形態において、半導体装置の製造方法の効果を説明するための一工程を示す断面図である。

【図12】 同実施の形態において、図11に示す工程の後に行なわれる工

程を示す断面図である。

【図 1 3】 同実施の形態において、図 1 2 に示す工程の後に行なわれる工程を示す断面図である。

【図 1 4】 同実施の形態において、図 1 3 に示す工程の後に行なわれる工程を示す断面図である。

【図 1 5】 同実施の形態において、効果を説明するための比較となる一工程を示す断面図である。

【図 1 6】 同実施の形態において、変形例に係る半導体装置の製造方法の一工程を示す断面斜視図である。

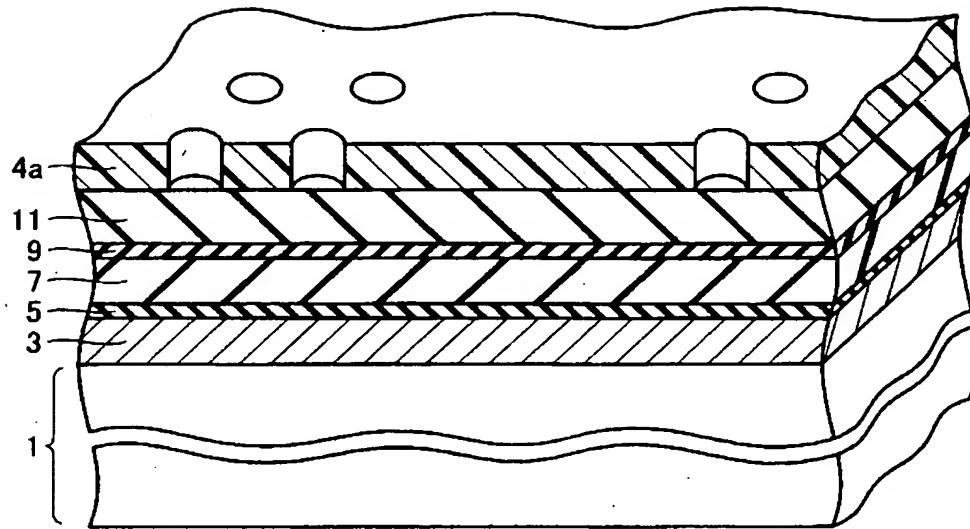
【図 1 7】 同実施の形態において、変形例に係る半導体装置の製造方法の効果を説明するための一工程を示す断面図である。

【符号の説明】

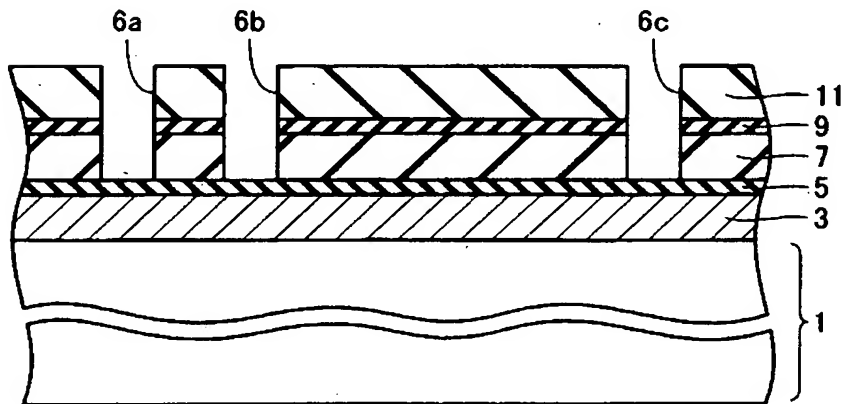
1 半導体基板、3 下層導電性膜、5 保護膜、6 a ~ 6 c ホール、7, 11 絶縁膜、8 a ~ 8 c, 10 a, 10 b 配線溝、9 エッチングストップ膜、13 有機系高分子材料膜、15 有機系反射防止膜、17 フォトレジスト、4 a, 12 a, 17 a レジストパターン、17 b レジスト残渣、18 a ~ 18 c プラグ、19 a ~ 19 c 配線、20 a ~ 20 c 上層導電性膜、21 シンナー、22 マスク、23 露光光、24 塩基性ガス。

【書類名】 図面

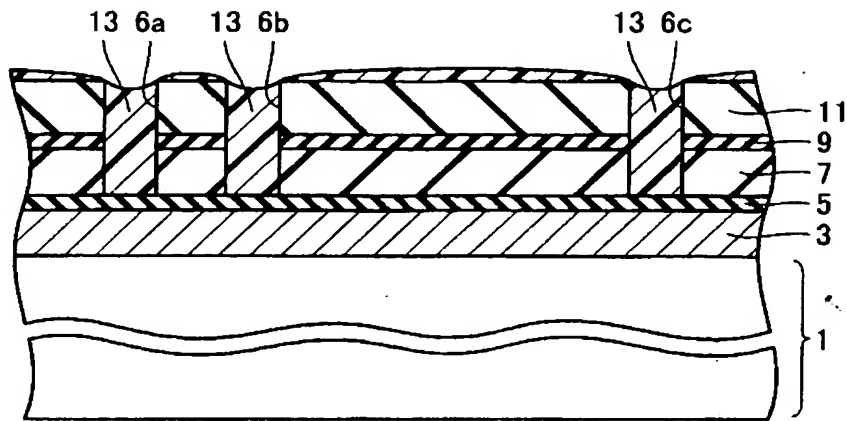
【図 1】



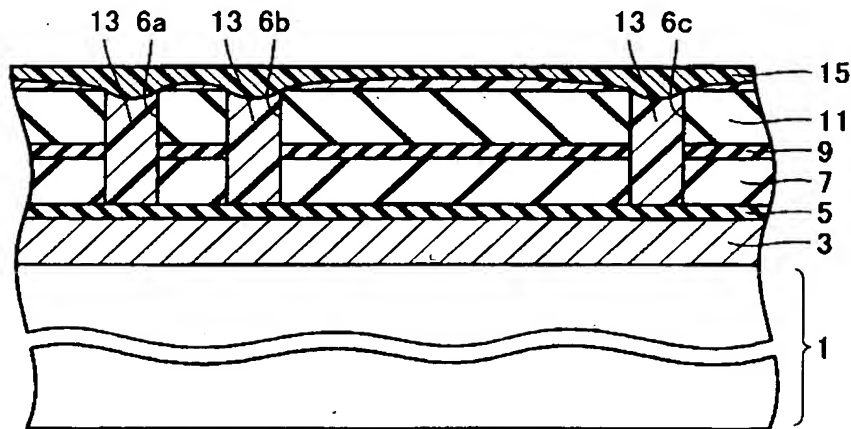
【図 2】



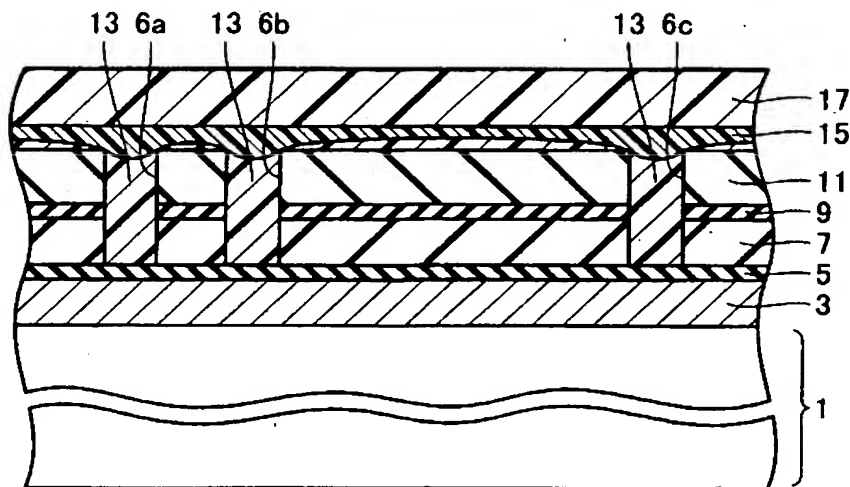
【図 3】



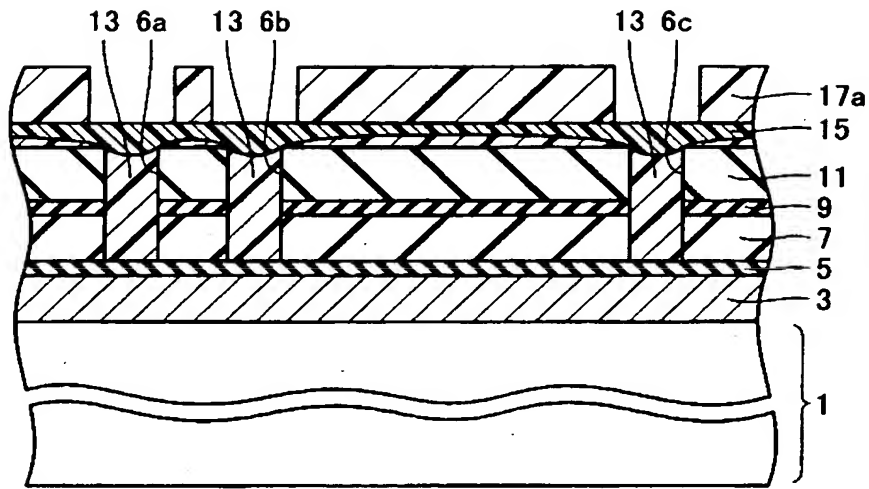
【図 4】



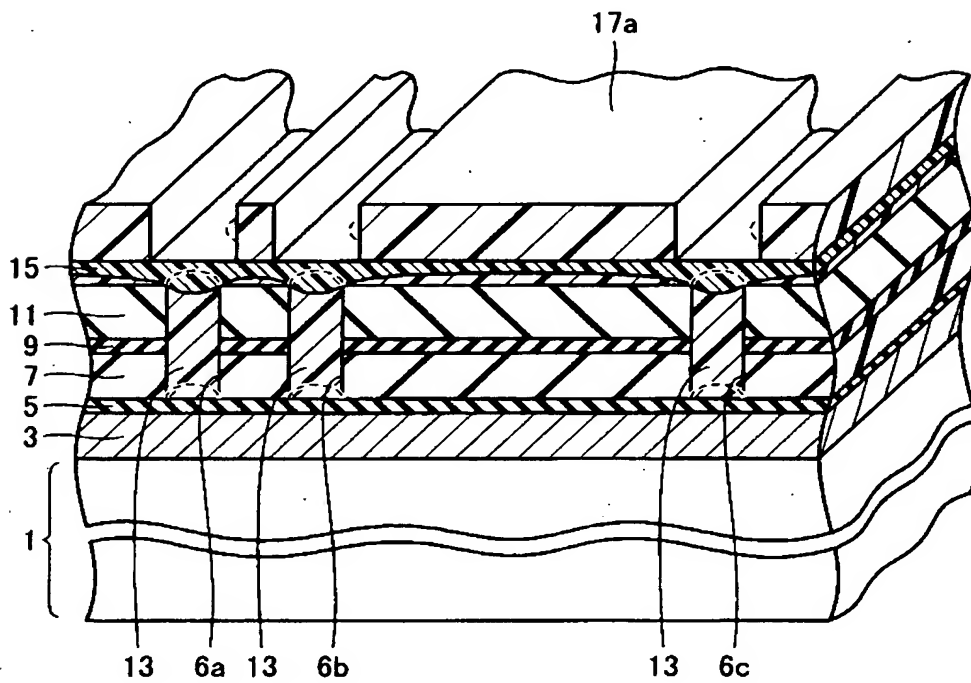
【図 5】



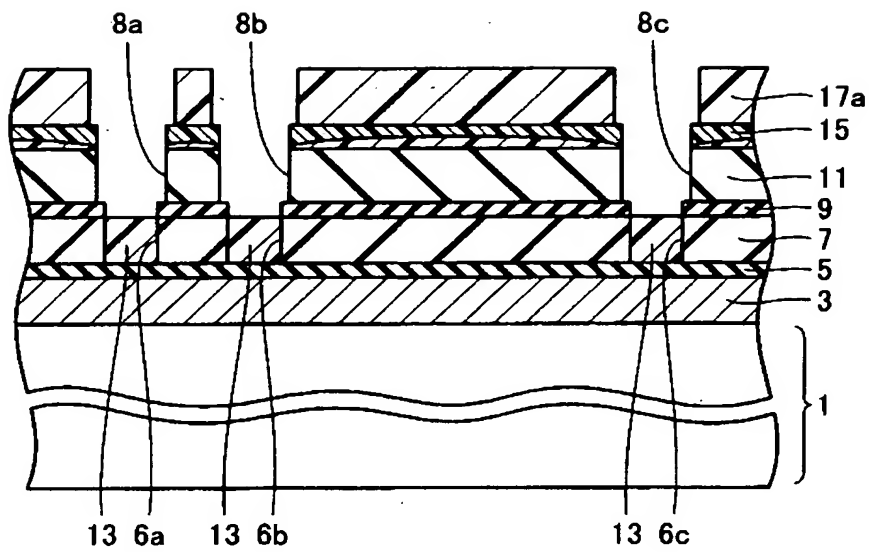
【図 6】



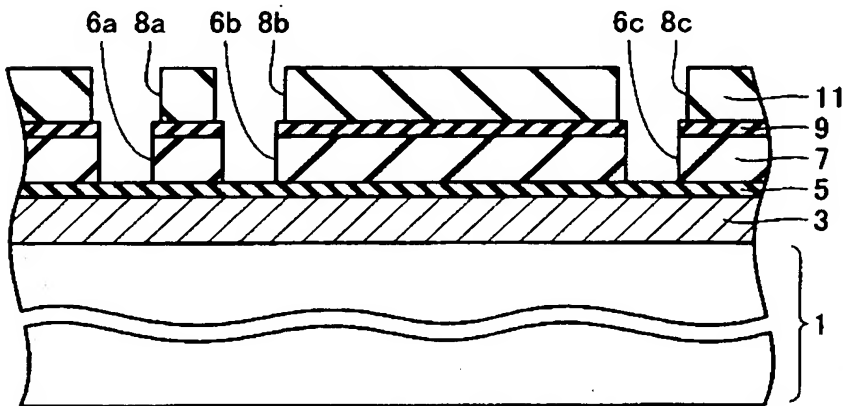
【図 7】



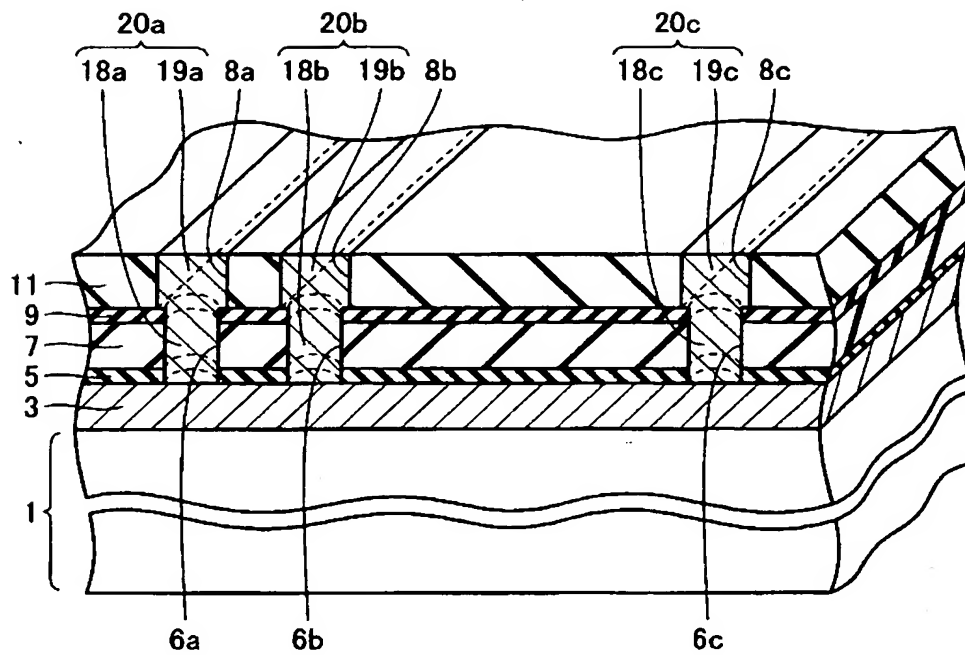
【図 8】



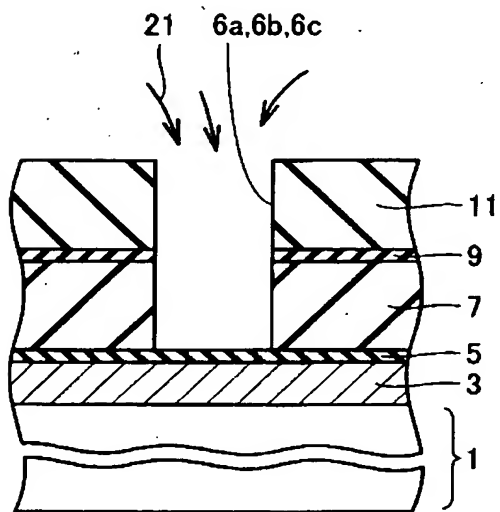
【図 9】



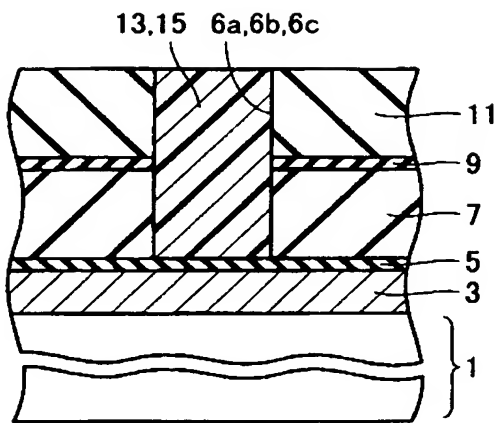
【図 10】



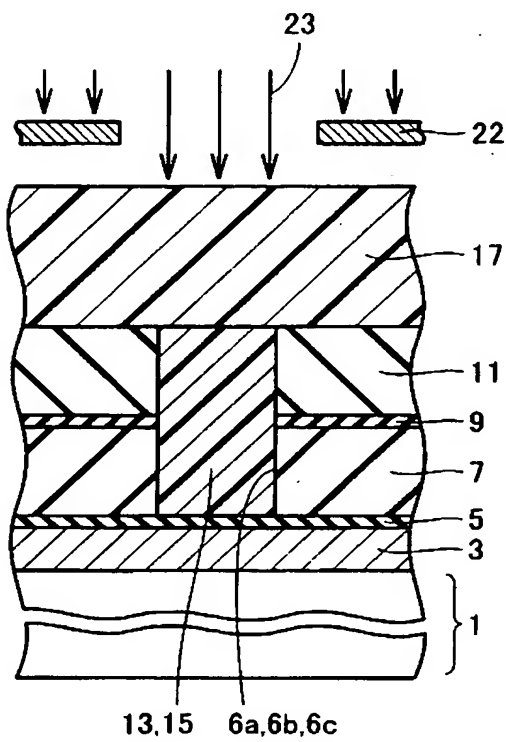
【図 11】



【図 12】

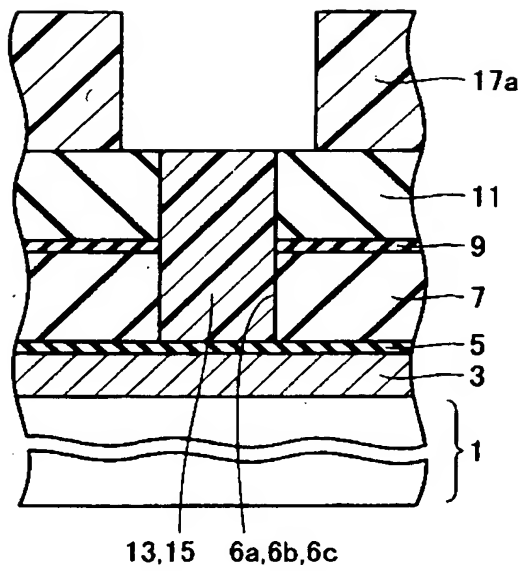


【図 13】

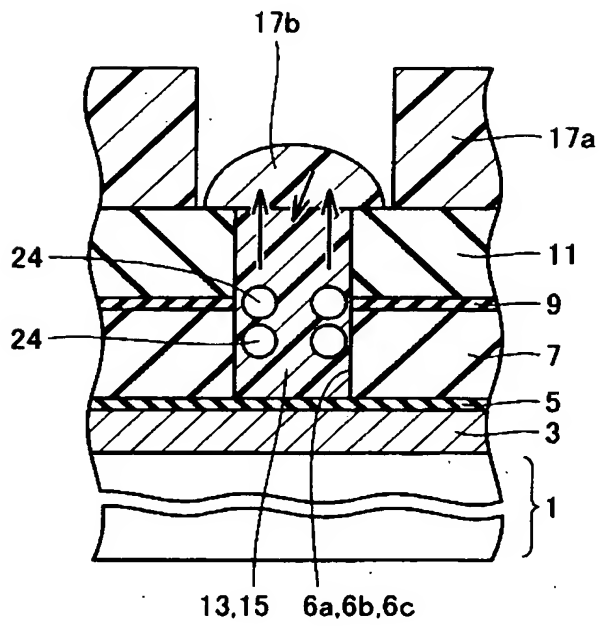




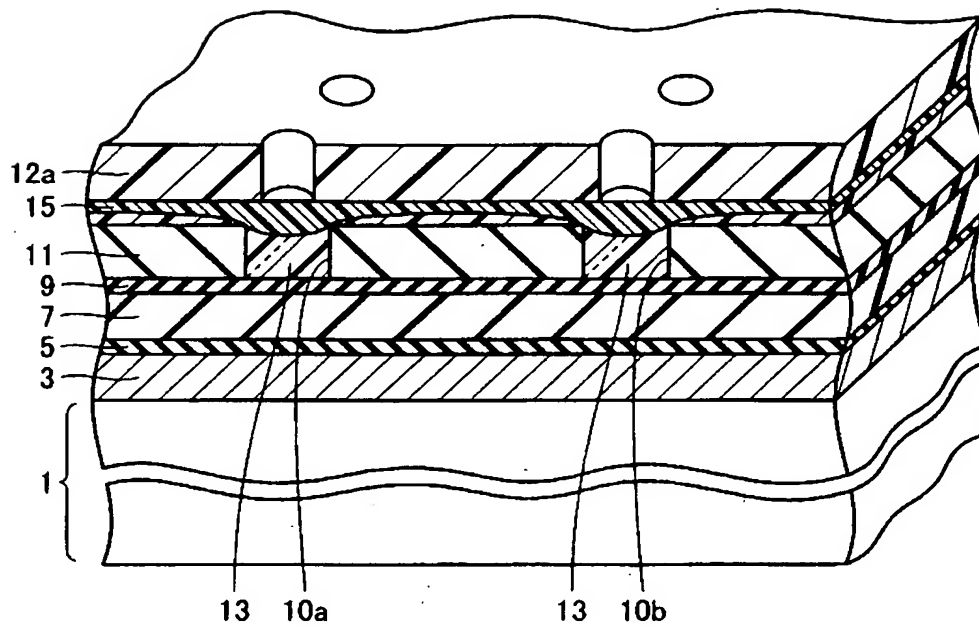
【図 14】



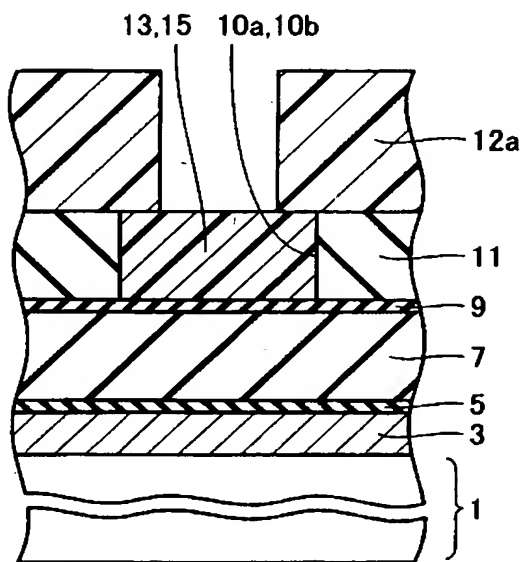
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 レジストの解像不良が抑制されるとともに、有機系高分子材料の塗布ムラが防止される半導体装置の製造方法を提供する。

【解決手段】 半導体基板 1 上に下層導電性膜 3、保護膜 5、絶縁膜 7、エッチングストップ膜 9、絶縁膜 11 が順次形成される。その絶縁膜 11 上に形成されたレジストパターンにより、保護膜 5 の表面を露出するホール 6a～6c が形成される。ホール 6a～6c 内に露出した表面および絶縁膜 11 の表面に、酸性成分を含有するシンナーにてウエット処理が施される。ホール 6a～6c 内を充填する有機系高分子材料膜と有機系反射防止膜が形成される。有機系反射防止膜上に形成されたレジストパターンにより、絶縁膜 11, 7 等に配線溝とホールが形成される。ホールにはプラグが形成され、配線溝には配線がそれぞれ形成される。

【選択図】 図 2

特願 2 0 0 3 - 1 6 2 4 7 8

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ